

**Курс «Архитектура современных компьютеров»  
Весенний семестр 2021 года**

**Список вопросов:**

1. Развитие архитектуры компьютеров. Поколения компьютеров.
2. Уровни архитектуры компьютеров.
3. Цифровой логический уровень. Вентили. Основные цифровые логические схемы (память, защёлки, триггеры).
4. Цифровой логический уровень. Организация сумматора. Схемы сдвига.
5. Цифровой логический уровень. Компьютерные шины. Синхронизация шины. Арбитраж шины. Принципы работы шины.
6. Цифровой логический уровень. Передача данных в СРВ. Стандарт MILS-1553B.
7. Цифровой логический уровень. Примеры шин PCI, PCI Express.
8. Уровень микроархитектуры. Сокращение длины пути. Упреждающая выборка команд из памяти.
9. Уровень микроархитектуры. Конвейерная конструкция. Семиступенчатый конвейер.
10. Уровень микроархитектуры. Прогнозирование ветвлений. Исполнение с изменением последовательности и подмена регистров.
11. Уровень микроархитектуры. Спекулятивное исполнение. Примеры архитектур.
12. Уровень архитектуры набора команд. Регистры. Команды. Типы данных.
13. Уровень архитектуры набора команд. Форматы команд. Режимы адресации. Типы команд Поток управления. Последовательный поток управления и переходы. Примеры архитектур.
14. Уровень операционной системы. Виртуальная память. Страничная организация памяти. Политика замещения страниц. Сегментация. Реализация сегментации.
15. Уровень операционной системы. Виртуальные команды для параллельной работы. Формирование процесса. Состояние гонок. Понятие потока. Синхронизация потоков с использованием семафоров.
16. Уровень ассемблера. Формат оператора в ассемблере. Директивы. Макросы. Процесс ассемблирования. Ассемблирование за два прохода.
17. Внутрипроцессорный параллелизм. Параллелизм на уровне команд. Внутрипроцессорная многопоточность.
18. Однокристалльные мультипроцессоры (многоядерные процессоры). Сопроцессоры.
19. Мультипроцессоры и мультикомпьютеры. UMA-мультипроцессоры в симметричных мультипроцессорных архитектурах.
20. Мультипроцессоры и мультикомпьютеры. Архитектура NUMA-мультипроцессорных систем.
21. Коммутаторы. Общая схема коммутатора. Подходы к построению коммутаторов. Поколения коммутаторов.
22. Устройство и функционирование коммутирующей матрицы. Буферизация на входе. Буферизация на выходе.
23. Сетевые процессоры. Общая схема сетевых процессоров. Классификация типов сетевых процессоров. Примеры сетевых процессоров.
24. Обработка заголовка пакета. Подходы к разбору заголовка пакета.
25. Обработка заголовка пакета. Структуры, используемые на этапе классификации. Подходы, используемые на основе декомпозиции задачи. Подходы на основе деревьев поиска.
26. Организация троичной ассоциативной памяти (TCAM).
27. Языки программирования коммутаторов. Язык P4.

## 28. Языки программирования коммутаторов. Язык NPL.

### **Литература:**

1. Королёв Л.Н. “Архитектура процессоров электронных вычислительных машин” Москва, 2005, 272 стр.
2. Таненбаум Э., Остин Т. “Архитектура компьютера. (6-е изд.)” Санкт-Петербург, 2013, 816 стр.
3. Орлов С. А., Цилькер Б. Я. “Организация ЭВМ и систем: Учебник для вузов” Санкт-Петербург, 2006, 672 стр.
4. Степанов А.Н. “Архитектура вычислительных систем и компьютерных сетей” Москва, 2007, 512 стр.
5. Харрис Д.М., Харрис С.Л. “Цифровая схемотехника и архитектура компьютера” Москва, 2018, 792 стр.
6. Orphanoudakis Theofanis, Perissakis Stylianos. Embedded Multi-Core Processing for Networking // Multi-Core Embedded Systems.—CRC Press, 2018.—p. 429–494.
7. Gibb, G., Varghese, G., Horowitz, M., McKeown, N. Design principles for packet parsers. In Architectures for Networking and Communications Systems, 2013 - p. 13-24