



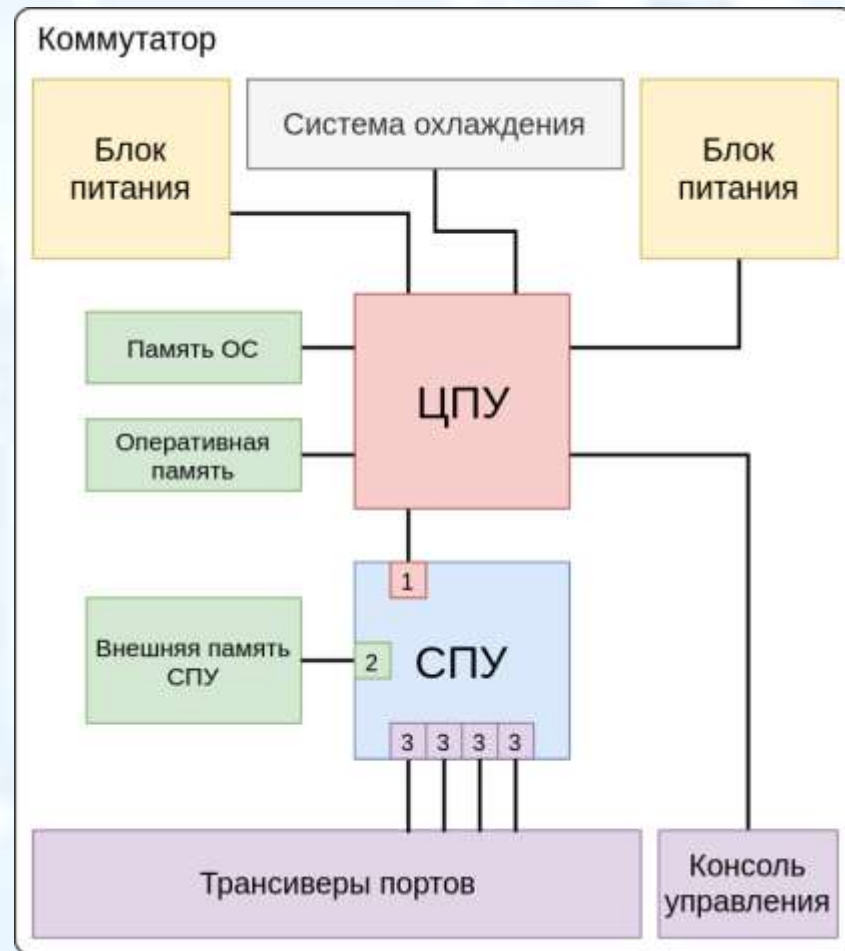
АРХИТЕКТУРА СОВРЕМЕННЫХ СЕТЕВЫХ ПРОЦЕССОРОВ

ВМК МГУ им. М.В. Ломоносова, кафедра АСВК
Доцент, к.ф.-м.н. Волканов Д.Ю.



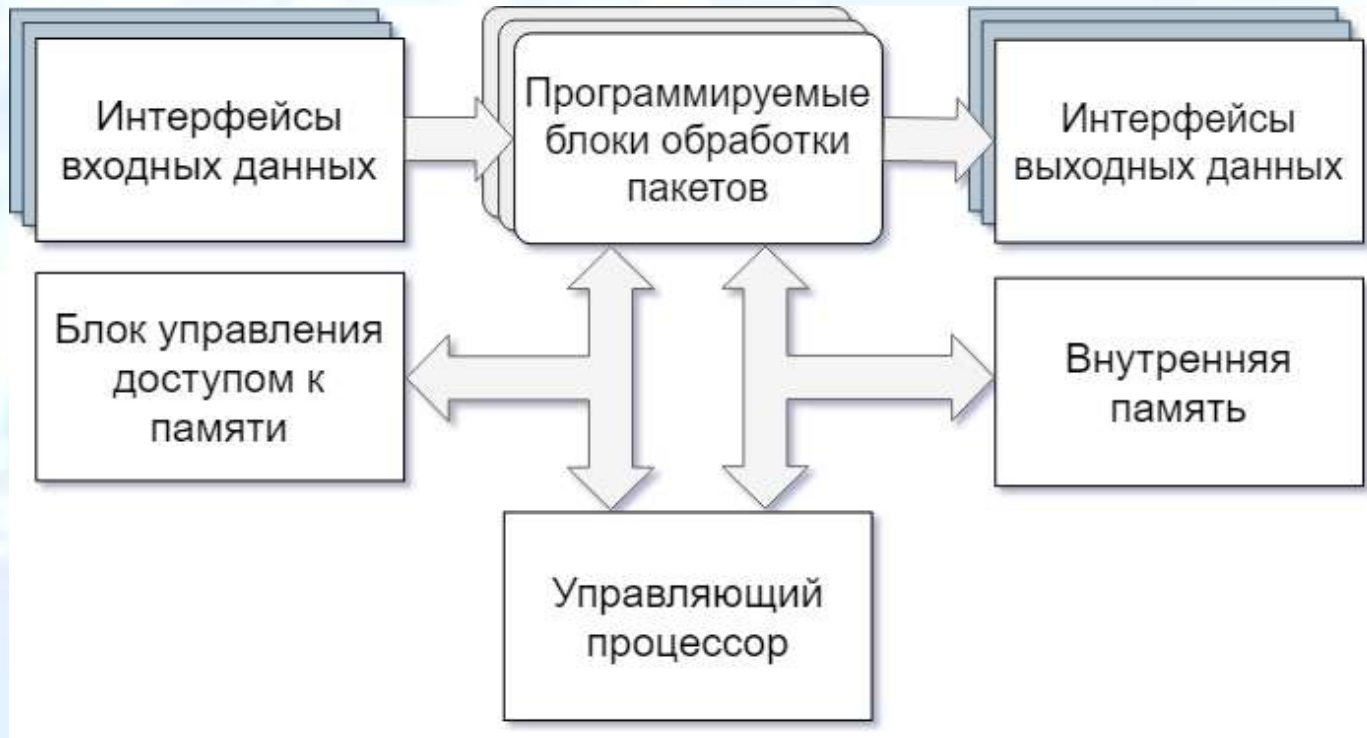
Место СПУ в коммутаторе

- **Сетевое процессорное устройство (СПУ)** – встроенная полупроводниковая система, оптимизированная для выполнения операций передачи данных
- **Функции СПУ:**
 - получение пакета;
 - выделение заголовка из пакета;
 - классификация пакета;
 - модификация заголовка и принятие решения о пути следования пакета;
 - управление очередями;
 - передача пакета.





Обобщенная архитектура СПУ



14 байт

20 байт

80 байт

Ethernet

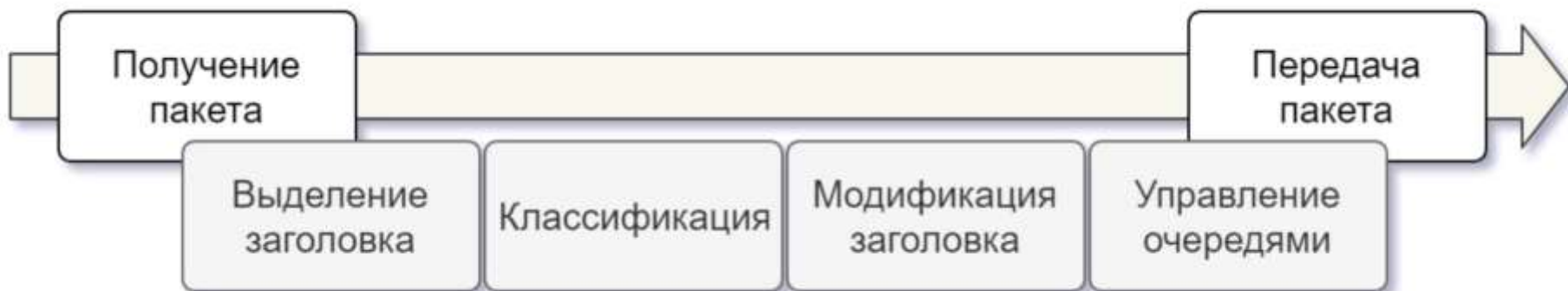
IP заголовок

TCP заголовок

Полезная нагрузка



Функции сетевого устройства передачи данных





Программируемость СПУ

- **Устройства с фиксированной функциональностью**
 - Фиксированный стек протоколов и программа обработки пакетов
- **Конфигурируемые устройства**
 - Загрузка программы обработки пакетов в рамках predetermined протоколов передачи данных
- **Программируемые устройства**
 - Определение новых протоколов передачи данных в загружаемой программе

Broadcom
Tomahawk

Barefoot Tofino,
Broadcom Trident,
Mellanox NP-5,
Cisco NPU...

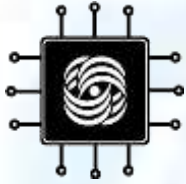


Типы программируемых СПУ

- **Многопроцессорная ИС на базе процессоров общего назначения**
 - Гибкость программирования
 - Невысокая скорость обработки пакетов
- **ASIC**
 - Аппаратная реализация основных функций СПУ (низкая гибкость программирования)
 - Высокая скорость обработки пакетов
- **Сетевой процессор**
 - Специализация к задачам обработки пакетов
 - Компромисс по возможностям программирования

Cisco NPU

Barefoot Tofino,
Innovium
Teralynx,
Broadcom
Trident,
Broadcom
Tomahawk
Mellanox NP-5,
Huawei ENP,
Juniper Q5, ...



Организация конвейера

Два основных подхода:

- процессорные ядра общего назначения внутри стадий Cisco NPU
- специализация ядер к функциям обработки пакетов Barefoot Tofino,
Mellanox NP-5,
Huawei ENP, ...

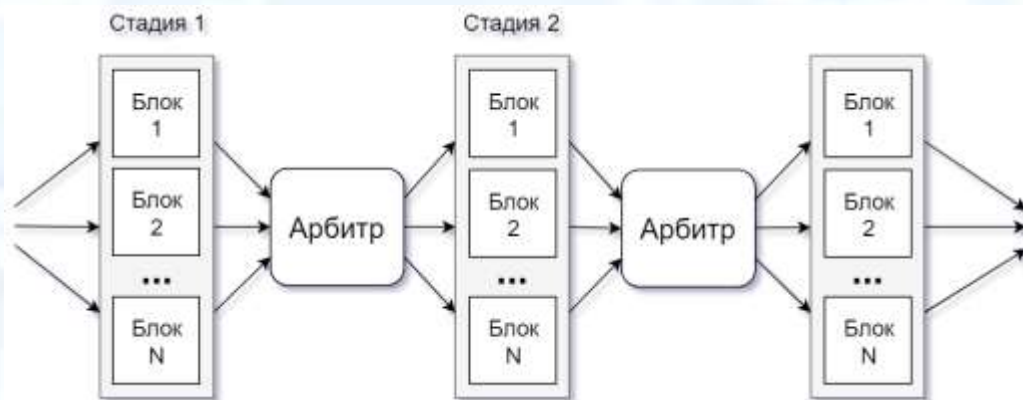
Механизм “разворота” пакетов:

- повторный проход пакета по конвейеру Barefoot Tofino,
Mellanox NP-5,
Juniper Q5
- понижает пропускную способность конвейера



Параллелизм СПУ

- Параллелизм на уровне стадий конвейера
- Параллелизм конвейеров
- Комбинированные подходы





Память СПУ

- Стратегии размещения данных:**
- тела пакетов – внешняя память, Broadcom Trident, Broadcom Tomahawk, Barefoot Tofino, Mellanox NP-5
 - таблицы классификации – внутренняя память
 - все данные во внешней памяти Huawei ENP, Juniper Q5

Память тел пакетов: DDR SDRAM, RL DRAM

Память таблиц классификации: SRAM, TCAM



Основные тенденции

- Программируемость разные производители понимают по-разному
- Наибольшая производительность у устройств ASIC
- Принципы построения конвейеров:
 - разделение на 2 части (ingress, egress);
 - коммутационная матрица и репликатор пакетов между частями конвейера;
 - функциональная специализация стадий;
 - масштабируемая архитектура из однотипных конвейеров.
- Размещение тел пакетов во внешней памяти, таблиц классификации – во внутренней



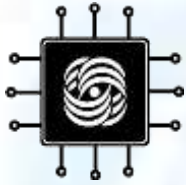
Выводы

- Разработка СПУ типа сетевой процессор
- Масштабируемая архитектура (набор однотипных конвейеров или конвейер стадий с однотипными ядрами)
- Функциональная специализация стадий конвейера
- Использование блоков памяти на кристалле для хранения таблиц классификации



Возникающие задачи

- Исследование методов обработки заголовка пакета в ячейках конвейера сетевого процессорного устройства
- Исследование методов представления таблиц классификации
- Исследование методов обработки пакетов на графическом процессоре
- Выявление характеристик и их периодичности из потока трафика
- Генерация трафика для тестирования устройства



Спасибо за внимание!